

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-181560

(43)Date of publication of application : 16.10.1984

(51)Int.Cl.

H01L 23/56

H01L 27/04

(21)Application number : 58-053584

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.03.1983

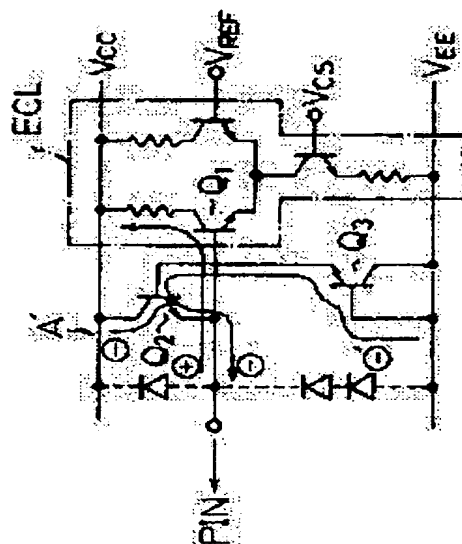
(72)Inventor : TOKUDA HIDEO
SUGIYAMA EIJI

(54) ELECTROSTATIC BREAKDOWN PREVENTIVE CIRCUIT

(57)Abstract:

PURPOSE: To obtain a practical circuit by a method wherein the second transistor with which a current amplification function will be accomplished and the third transistor which functions as a diode are provided in the input stage of IC of bipolar transistor circuit type, thereby enabling to work together with the already provided first transistor.

CONSTITUTION: The first transistor Q1 constitutes a part of an ECL circuit, and the third transistor Q3 performs diode function as a base collector short. When the cathodic high voltage having large electrostatic breakdown strength is applied to the external pin, a current is pulled out from the first power source VCC to outside via the route as shown by the arrow in the diagram. As the second transistor Q2 pulls in the current (arrow 1') from the transistor 3 through its base, current amplification function appears, and a sufficiently large discharge current runs to the cathodic high voltage. As the above can resist a cathodic high voltage, it is useful as an article of practical use.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A)

昭59—181560

⑤ Int. Cl.³
H 01 L 23/56
27/04

識別記号

庁内整理番号
6851—5F
8122—5F

⑬ 公開 昭和59年(1984)10月16日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 静電破壊防止回路

⑮ 特 願 昭58—53584

⑯ 出 願 昭58(1983)3月31日

⑰ 発 明 者 得田秀雄

川崎市中原区上小田中1015番地
富士通株式会社内

⑱ 発 明 者 杉山英治

川崎市中原区上小田中1015番地
富士通株式会社内

⑲ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 青木朗 外 3 名

明 細 書

1. 発明の名称

静電破壊防止回路

2. 特許請求の範囲

1. 第1電源 (V_{cc}) と第2電源 (V_{ee}) によって駆動されるバイポーラトランジスタ回路形式のIC内における入力段において該ICの外部ピンに対しベースを介して接続される第1トランジスタの静電破壊を防止するための回路であって、前記第1電源 (V_{cc}) と前記第1トランジスタの前記ベースとの間に挿入されて電流増幅機能をもつ第2トランジスタと、該第2トランジスタのベースと前記第2電源 (V_{ee}) との間に挿入される第3トランジスタとからなり且つ該第3トランジスタのベースは該第2電源 (V_{ee}) に接続されてダイオード機能をもつことを特徴とする静電破壊防止回路。

3. 発明の詳細な説明

発明の技術分野

本発明はワンチップIC (integrated circuit)

における静電破壊防止回路。特にバイポーラトランジスタで構成されるワンチップICにおける静電破壊防止回路に関する。

技術的背景

ICの外部ピンに何らかの理由により高電圧の静電気が印加されるとICの内部回路が静電破壊することが良く知られている。然しながら、これは主としてMOSトランジスタICについて関心がもたれており、バイポーラトランジスタICには余り目が向けられていなかった。というのは、MOSトランジスタICではその薄い各ゲート酸化膜の耐圧が低く、静電破壊に対して特に注意しなければならなかったからである。

ところが近年、バイポーラトランジスタICについてもその静電破壊対策に関心がもたれるようになってきている。これはその各整合部での静電破壊に対する強度が弱いという事実に関心が高まったからだと思われる。

従来技術と問題点

上記のとおりバイポーラトランジスタICでは

静電破壊についての考察が十分なされておらず、これといった従来例はない。ただし、M O S トランジスタ I C における静電破壊防止回路の代表例をバイポーラトランジスタ I C に適用するという試みはなされている。すなわち、I C の外部ピンより内部パッドに入ったところで第 1 電源 (V_{cc}) 側と第 2 電源 (V_{ee}) 側とに対し、各々逆バイアスとなるようにダイオードを接続する(後述)というものである。ところが実際に試験してみると、思ったような成果が期待できず、より実用的なものが得られていない。これが問題点である。

発明の目的

上記問題点に鑑み本発明は、より実用的な静電破壊防止回路を提案することを目的とするものである。

発明の構成

上記目的を達成するために本発明は、第 1 電源 (V_{cc}) と第 2 電源 (V_{ee}) によって駆動されるバイポーラトランジスタ形式の I C 内における入力段において該 I C の外部ピンに対しベースを介し

て接続される既存の第 1 トランジスタの端部を静電破壊防止回路であって、前記第 1 電源 (V_{cc}) と前記第 1 トランジスタの前記ベースとの間に挿入されて電流増幅機能を実する第 2 トランジスタと、該第 2 トランジスタのベースと前記第 2 電源 (V_{ee}) との間に挿入される第 3 トランジスタとからなり且つ該第 3 トランジスタのベースは該第 2 電源 (V_{ee}) に接続されてダイオード機能を実することを特徴とするものである。

発明の実施例

第 1 図は本発明の基本構成を示す回路図であり、バイポーラトランジスタ I C の入力段に位置する。この静電破壊防止回路 A は、純粋には第 2 トランジスタ Q_2 と第 3 トランジスタ Q_3 (ダイオードとして機能する) からなり、既存の第 1 トランジスタ Q_1 と協働して初めて静電破壊防止機能を実する。この第 1 トランジスタ Q_1 のベースは当該 I C の外部ピン P I N にパッド(後述の P A D)を介して接続する。又、当該 I C は全体として第 1 電源 (V_{cc}) と第 2 電源 (V_{ee}) により駆動される。なお、

第 2 トランジスタ Q_2 は電流増幅機能を実する。

第 2 図は第 1 図の回路をもう少し詳しく描いた一例を示す回路図であり、同一の構成要素には同一の参照記号を付して示す。本図において、第 1 トランジスタ Q_1 は例えば E C L (emitter coupled logic) 回路の一部として示されており、又、第 3 トランジスタ Q_3 はベース-コレクタショートとしてダイオード機能を実する。なお、参考として、従来試みられたダイオードによる静電防止回路例を点線で示す。この従来の試みによれば、十分な静電防止効果を上げることができなかった。その定性的な理由については十分解明されていない。

ところで静電気により生ずる高電圧には正極性のものと負極性のものとがある。このうち、正極性のものより負極性のものの方が静電破壊効果が大きいことが経験的に知られている。先ず正極性の高電圧が外部ピン P I N に印加されたとすると、この高電圧に伴う電流は図中矢印 ⊕ で示したルートを経て第 1 電源 V_{cc} へ抜ける。一方、静電破壊力の大きい負極性の高電圧が外部ピン P I N

に印加されたとすると、この高電圧に伴う電流は、第 1 電源 V_{cc} より図中矢印 ⊖ で示したルートで外部へ引き込まれる。この場合、第 2 トランジスタ Q_2 はそのベースを通してトランジスタ(ダイオード) Q_3 からの電流(矢印 ⊖') を引き込むので、電流増幅機能が現われ、十分大きな放電電流を該負極性の高電圧に向かって流すことになる。このように負極性の高電圧、例えば -800V に強いということは、十分実用として役立つことを意味する。

第 2 図に示す如く、新たに 2 つのトランジスタ Q_2 、 Q_3 が設けられることになるが、これにより I C 回路の集積度が犠牲にはならない。例えば E C L 回路のゲートアレイを有する I C では、余分なスペースは殆どない。ところが第 2 図の静電破壊防止回路 A' は僅かなスペースに埋め込むことができる。第 3 図は第 2 図の静電破壊防止回路 A' を半導体 I C 基板中に埋め込んだ場合のレイアウトパターンを示す図であり、第 2 図と同一の構成要素には同一の参照記号を付して示す。

本図において、ISOはP形のアイソレーション領域であり、第2電源(V_{EE})と同レベルにある。又、 N^- は N^- 層であり第1電源(V_{CC})と同レベルにある。PADは通常のパッドであり、ワイヤボンディング等により外部ピンPINにつながる。このパッドPADにはトランジスタ Q_1 のベースおよびトランジスタ Q_2 のエミッタ E_2 がつながる。トランジスタ Q_2 のベース B_2 はトランジスタ Q_3 のエミッタ E_3 につながり、そのベース B_3 とコレクタ C_3 は導通で基板の V_{EE} につながる。かくの如く、トランジスタ Q_3 はパッドPADの近傍の空きスペースに置かれており集積回路の向上に支障とならない。又、トランジスタ Q_2 のコレクタ C_2 は N^- 層そのものを共用しており小面積で形成できる。

発明の効果

以上説明したように本発明によれば、バイポーラトランジスタ形式のICに対して十分実用に供し得る静電破壊防止回路が実現される。

4. 図面の簡単な説明

第1図は本発明の基本構成を示す回路図、第2図は第1図の回路をもう少し詳しく描いた一例を示す回路図、第3図は第2図の静電破壊防止回路 A' を半導体IC基板中に埋め込んだ場合のレイアウトパターンを示す図である。

A, A' ……静電破壊防止回路、 Q_1 ……第1トランジスタ、 Q_2 ……第2トランジスタ、 Q_3 ……第3トランジスタ、PIN……外部ピン。

特許出願人

富士通株式会社

特許出願代理人

弁理士 青 木 朗
 弁理士 西 館 和 之
 弁理士 内 田 幸 男
 弁理士 山 口 朋 之

